

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-181311

(43)Date of publication of application : 12.07.1996

(51)Int.Cl.

H01L 29/78
H01L 21/336

(21)Application number : 06-325180

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 27.12.1994

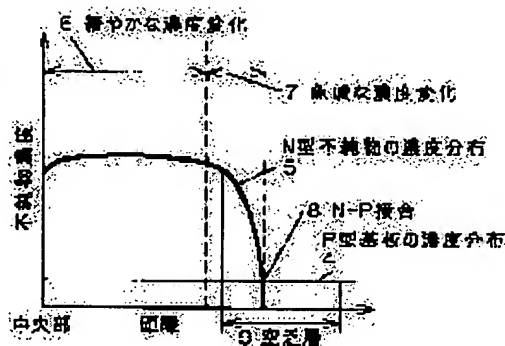
(72)Inventor : SHIBATA YOSHIYUKI
HIRASE JUNJI
HORI TAKASHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To obtain a semiconductor device in which the leakage current of a P-N junction formed between an impurity region and a semiconductor substrate and its change amount are reduced while the semiconductor device is being made fine when the potential of the substrate or the impurity region is changed regarding the impurity region which is formed inside the substrate and whose conductivity type is opposite to that of the substrate.

CONSTITUTION: In a semiconductor device provided with an N-type impurity region, the state of an impurity concentration distribution 5 in the N-type impurity region inside a P-type substrate is set at a gentle concentration gradient 6 at the inside of the impurity region, the state is set at a steep concentration gradient 7 near an N-P junction 8 which is formed between a concentration distribution 4 for the P-type substrate and the N-type impurity concentration distribution 5, and the leakage current of a P-N junction and its change amount can be reduced.



LEGAL STATUS

[Date of request for examination] 21.12.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3379255

[Date of registration] 13.12.2002

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-181311

(43) 公開日 平成8年(1996)7月12日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

21/336

H 0 1 L 29/78

3 0 1 Y

3 0 1 L

3 0 1 S

審査請求 未請求 請求項の数12 OL (全9頁)

(21) 出願番号

特願平6-325180

(22) 出願日

平成6年(1994)12月27日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 柴田 義行

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 平瀬 順可

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 堀 隆

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

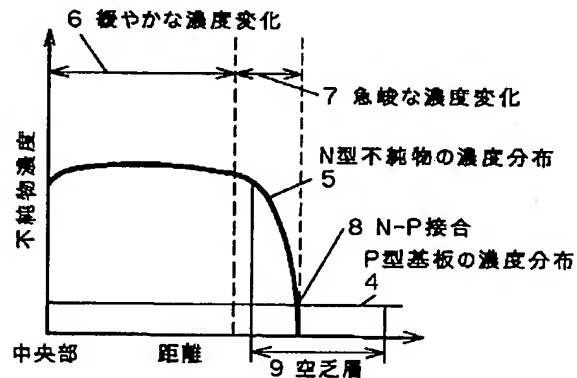
(74) 代理人 弁理士 小銀治 明 (外2名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 半導体基板内に形成した基板と反対の導電型の不純物領域について、基板あるいは不純物領域の電位を変化させた場合に、微細化をはかりつつも不純物領域と基板間に形成されるP-N接合リーク電流及びその変化量を低減する。

【構成】 P型基板内のN型不純物領域の不純物濃度分布5状態が、不純物領域内部では緩やかな濃度変化6とし、且つ、P型基板の濃度分布4とN型不純物の濃度分布5間で形成されるN-P接合8近傍では急峻な濃度変化7となるようにすることにより、P-N接合リーク電流及びその変化量を低減することができる、N型の不純物領域を備えた半導体装置である。



【特許請求の範囲】

【請求項1】一導電型半導体基板内の所定の位置に、前記半導体基板とP-N接合を型成しかつ前記P-N接合付近では濃度分布が急峻に変化し前記P-N接合より離れた領域内部では緩やかな濃度分布である他導電型の不純物領域を備えた半導体装置。

【請求項2】一導電型半導体基板内の所定の位置に、他導電型の不純物をイオン注入で導入し、他導電型の不純物領域を形成する工程と、
フッ素をイオン注入により前記不純物領域の所定の位置に導入する工程と、
前記基板に熱処理を施す工程と、を備えた半導体装置の製造方法。

【請求項3】他導電型の不純物をイオン注入する際に使用した注入マスクをフッ素をイオン注入する時のマスクとして使用することを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】フッ素のイオン注入を基板に対して大傾角で行なうことを特徴とする請求項2または3に記載の半導体装置の製造方法。

【請求項5】一導電型半導体基板表面に素子分離領域と、
MOS型トランジスタ領域となる部分に形成されたゲート電極と、
他導電型の不純物からなり、内部では緩やかな濃度分布を持ちながら、基板との間で形成される、所望の位置の接合近傍で濃度分布が急峻に変化するソース・ドレイン領域とを備えた半導体装置。

【請求項6】一導電型半導体基板表面に素子分離領域とMOS型トランジスタ領域となる部分を形成する工程と、
前記MOS型トランジスタ領域となる部分にゲート電極を形成する工程と、
他導電型の不純物をイオン注入で導入し、ソース・ドレイン領域を形成する工程と、
フッ素を前記ソース・ドレイン領域の所定の位置にイオン注入により導入する工程と、
前記基板に熱処理を施す工程と、を備えた半導体装置の製造方法。

【請求項7】ソース・ドレイン領域形成用のイオン注入マスクと、フッ素のイオン注入のマスクとを同一のものを使用することを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】フッ素のイオン注入を基板に対して大傾角で行なうことを特徴とする請求項6または7に記載の半導体装置の製造方法。

【請求項9】一導電型半導体基板表面に素子分離領域と、
MOS型トランジスタ領域となる部分に形成されたゲート電極と、
前記他導電型の不純物からなるソース／ドレイン領域

と、

前記ソース／ドレイン領域の全部又は一部を覆う他導電型で前記ソース／ドレイン領域より薄い濃度の不純物領域と、を備えた半導体装置。

【請求項10】一導電型半導体基板表面に素子分離領域とMOS型トランジスタ領域となる部分を形成する工程と、

前記MOS型トランジスタ領域となる部分にゲート電極を形成する工程と、

10 他導電型の不純物をイオン注入で導入し、薄い濃度の不純物領域を形成する工程と、

前記他導電型の不純物をイオン注入で導入し、ソース／ドレイン領域を形成する工程と、

フッ素を前記薄い濃度の不純物領域の所定の位置にイオン注入により導入する工程と、

前記基板に熱処理を施す工程と、を備えた半導体装置の製造方法。

【請求項11】薄い濃度の不純物領域形成用のイオン注入マスクと、フッ素のイオン注入のマスクとを同一のものを使用することを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】フッ素のイオン注入を基板に対して大傾角で行なうことを特徴とする請求項10または11に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置及びその製造方法に関するものである。

【0002】

30 【従来の技術】従来、半導体基板中への不純物の導入及び不純物領域の形成は、基板を所望の不純物を含む雰囲気中に置き熱処理を行なうといった基板表面からの熱拡散による方法、又、所望の不純物をイオン注入法により基板に導入し不純物の活性化の為に熱処理を加えるといった方法がある。

【0003】これらの方法を用いた時の基板内での不純物の分布状態を図8を用いて説明する。縦軸は不純物濃度、横軸は距離を示す。まず、熱拡散による導入では、不純物は基板表面から侵入し、かつその不純物はこの熱処理中に拡散していく。この為、不純物の分布103は、表面で高濃度になりその後表面から深くなるにつれ、なだらかに減少していく。イオン注入と熱処理を用いた場合、一回のイオン注入について不純物の分布状態はいわゆるガウス分布となり、加速エネルギーにより濃度のピーク位置は決定する。又同一不純物で種々の加速エネルギー、ドーズ量のイオン注入を行なった場合の分布は個々の注入についての分布が重なりあい個々の位置で加算された分布状態となる。

【0004】ところで、半導体装置ではより一層の微細化を行なうことで、集積度の向上や、性能の向上を図っ

てきている。微細化を行なう手段の1つとして、半導体基板中に導入した導電型不純物の拡散の抑制がある。これは、基板表面に対して水平もしくは垂直方向への不純物の広がりを抑制することで、微細化した個々の素子同士が、物理的に又電氣的に短絡することなく動作させることを目的とした方法である。具体的には、熱処理工程の温度を低温化する又は時間を短縮化する方法、例えばMOS型トランジスタのソース/ドレインの様に基板表面付近に不純物領域を形成する場合には不純物の導入を、イオン注入法であればその注入エネルギーを低くするな

10 として、浅くする方法などである。
 【0005】図9を用いてMOS型構造について説明する。MOS型トランジスタは一般に素子分離121、ゲート電極122、ソース/ドレイン領域128からなる。他に、MOS型トランジスタの構造では、信頼性を確保する為のゲート直下のソース/ドレイン濃度を薄くする例えばLDD(Lightly Doped Drain)領域125形成、短チャネル効果抑制の為に基板濃度を基板内の所定の位置のみ濃くする例えばP.T.S.(punch through stop)領域126形成、分離耐圧向上の為に素子分離領域直下の基板濃度を濃くする例えばC.S.(channel stop)領域124形成などが取り入れられ、性能の向上が図られている。又、これらの不純物領域の形成は上記述べた所望の不純物の熱拡散、又はイオン注入と熱処理の組み合わせにより行な

【0006】

【発明が解決しようとする課題】しかしながら上記のような、熱拡散やイオン注入と熱処理の組み合わせで不純物領域を形成する方法では、図8を用いて説明すると、不純物の分布状態は、領域内部で高濃度のピーク位置を持ち、そのすぐ前後の位置から濃度の分布は急峻となっ

てしまう、つまり浅いが急峻な分布104となるか、あるいは領域内部の分布状態が緩やかであっても不純物がかなり拡散して水平/垂直両方向に広がってしまう、つまり緩やかだが深い分布105になってしまう。
 【0007】この時、不純物領域と基板との間でP-N接合111が形成されるが、不純物の分布状態が不純物領域内部で高濃度のピークを持ち、このピーク位置からテール位置まで急峻な分布である場合、不純物領域の電位が変化し、これに伴い空乏層幅が変化すると不純物領域の濃度分布が急峻な為に接合リーク電流の変化量も急激になっ

てしまい基板電位も大きく変化してしまうといった問題が生じてくる。又、不純物の濃度も高くなるため接合リーク電流そのものも増加してしまい回路を構成した際の消費電力が増加してしまうといった問題が生じてくる。
 【0008】又、形成工程を簡略的にした場合では、不純物領域内部の分布状態が緩やかにする為にはイオン注

入をはかることが困難になるといった問題が生じてくる。

【0009】他に不純物領域内部の分布を緩やかにし、且つ不純物領域を水平及び垂直方向に拡散させない方法には例えば図8(b)に示す方法がある。即ち、不純物導入のイオン注入を加速エネルギーを段階的に変えて多数回106行ない、活性化の熱処理を低温でかつ短時間行なう。この方法では前記の様な問題を生じる分布状態にならない。しかしながらこの方法では、不純物導入の為のイオン注入を、加速エネルギーを変えて多数回実施する必要があり、工程増加によるコストの増加が生じてしま

10 いう問題がある。
 【0010】従って、本発明の目的は、不純物領域を基板内水平及び垂直方向で広げず、微細化を図ったままで、基板内に形成した不純物領域と基板間のP-N接合について、不純物又は基板の電位を変化させた時に発生する接合リーク電流の急激な変化及び増加を抑制する半導体装置、及びその製造方法を提供することにある。

【0011】

20 【課題を解決するための手段】請求項1記載の半導体装置は上記問題点に鑑み、不純物領域を基板内水平及び垂直方向で広げず、微細化を図ったままで、基板内に形成した不純物領域と基板間のP-N接合について、不純物又は基板の電位を変化させた時に発生する接合リーク電流の急激な変化及び増加を抑制する半導体装置を提供するものである。この為の構成として、一導電型半導体基板内の所定の位置に、前記半導体基板とP-N接合を形成し

30 かつ前記P-N接合付近では濃度分布が急峻に変化し前記P-N接合より離れた領域では緩やかな濃度分布である他導電型の不純物領域を有する構造を特徴とする。
 【0012】請求項2、3、4記載の半導体装置の製造方法は上記問題点に鑑み、不純物領域を基板内水平及び垂直方向で広げず、微細化を図ったままで、基板内に形成した不純物領域と基板間のP-N接合について、不純物又は基板の電位を変化させた時に発生する接合リーク電流の急激な変化及び増加を抑制する半導体装置の製造方法を提供するものである。この為の構成として、一導電型半導体基板内の所定の位置に、他導電型の不純物をイオン注入で導入し、前記他導電型の不純物領域を形成する工程と、フッ素をイオン注入により前記不純物領域の所定の位置に導入する工程と、前記基板に熱処理を施す工程とを有することを特徴とする。

40 50 【0013】請求項5記載の半導体装置は上記問題点に鑑み、MOS型トランジスタのソース/ドレイン領域を、基板内水平及び垂直方向で広げず、微細化を図ったままで、基板内に形成したソース/ドレイン領域と基板間のP-N接合について、不純物又は基板の電位を変化させた時に発生する接合リーク電流の急激な変化及び増加を抑制する半導体装置を提供するものである。この為の構成として、一導電型半導体基板表面に素子分離領域と、MO

S型トランジスタ領域となる部分に形成されたゲート電極と、他導電型の不純物からなり、内部では緩やかな濃度分布を持ちながら、所望の位置の、基板との間で形成される接合近傍で濃度分布が急峻に変化するソース・ドレイン領域とを有することを特徴とする。

【0014】請求項6、7、8記載の半導体装置の製造方法は上記問題点を鑑み、MOS型トランジスタのソース／ドレイン領域を、基板内水平及び垂直方向で広げず、微細化を図ったままで、基板内に形成したソース／ドレイン領域と基板間のP-N接合について、不純物又は基板の電位を変化させた時に発生する接合リーク電流の急激な変化及び増加を抑制する半導体装置の製造方法を提供するものである。この為の構成として、一導電型半導体基板表面に素子分離領域とMOS型トランジスタ領域となる部分を形成する工程と、前記MOS型トランジスタ領域となる部分にゲート絶縁膜を形成する工程と、他導電型の不純物をイオン注入で導入し、ソース・ドレイン領域を形成する工程と、レジストをマスクとしてフッ素を前記ソース・ドレイン領域の所定の位置にイオン注入により導入する工程と、前記基板に熱処理を施す工程とを有することを特徴とする。

【0015】請求項9記載の半導体装置は上記問題点を鑑み、MOS型トランジスタのLDD領域を、基板内水平及び垂直方向で広げず、微細化を図ったままで、基板内に形成したソース／ドレイン領域と基板間のP-N接合について、不純物又は基板の電位を変化させた時に発生する接合リーク電流の急激な変化及び増加を抑制する半導体装置を提供するものである。この為の構成として、一導電型半導体基板表面に素子分離領域と、MOS型トランジスタ領域となる部分に形成されたゲート電極と、前記半導体基板と他導電型のLDD領域と、他導電型の不純物からなるソース／ドレイン領域とを有することを特徴とする。

【0016】請求項10、11、12記載の半導体装置の製造方法は上記問題点を鑑み、MOS型トランジスタのLDD領域を、基板内水平及び垂直方向で広げず、微細化を図ったままで、基板内に形成したソース／ドレイン領域と基板間のP-N接合について、不純物又は基板の電位を変化させた時に発生する接合リーク電流の急激な変化及び増加を抑制する半導体装置の製造方法を提供するものである。この為の構成として、一導電型半導体基板表面に素子分離領域とMOS型トランジスタ領域となる部分を形成する工程と、前記MOS型トランジスタ領域となる部分にゲート絶縁膜を形成する工程と、他導電型の不純物をイオン注入で導入し、LDD領域を形成する工程と、前記他導電型の不純物をイオン注入で導入し、ソース／ドレイン領域を形成する工程と、フッ素を前記比較的薄い不純物濃度である領域の所定の位置にイオン注入により導入する工程と、前記基板に熱処理を施す工程とを有することを特徴とする。

【0017】

【作用】請求項1、5及び9に係る半導体装置により、基板内に形成した不純物領域あるいは、MOS型トランジスタのソース／ドレイン領域及びLDD領域を水平及び垂直方向で広げず、微細化を図ったままで、基板内に形成した不純物領域と基板間のP-N接合について、不純物又は基板の電位を変化させた時に発生する接合リーク電流の急激な変化及び増加を抑制することが可能となる。

【0018】請求項2、3、4、6、7、8、10、11、12に係る半導体装置の製造方法により、基板内に形成した不純物領域あるいは、MOS型トランジスタのソース／ドレイン領域及びLDD領域を水平及び垂直方向で広げず、微細化を図ったままで、基板内に形成した不純物領域と基板間のP-N接合について、不純物又は基板の電位を変化させた時に発生する接合リーク電流の急激な変化及び増加を抑制することが可能となる。

【0019】

【実施例】以下請求項1記載の半導体装置の一実施例として、P型基板内に形成されたN型不純物領域の場合、微細化を図りつつも、基板と不純物領域間で形成されるP-N接合のリーク電流及びその変化量を低減できる装置について図面を参照しながら説明する。

【0020】図1は本発明の実施例における動作説明の為の不純物濃度分布図である。図1では、P型基板内に形成されたN型不純物の濃度について横軸を距離、縦軸を不純物濃度、横軸の原点を不純物領域の中央部とした際、P型基板の不純物分布4、N型不純物の濃度分布5、又、N型不純物の濃度分布5の中で緩やかな濃度変化6の領域と急峻な濃度変化7の領域及び、N型不純物領域とP型基板間で形成されるN-P接合8を示している。但し、この際N-P接合8はN型不純物領域について急峻な濃度変化7に位置するものとする。

【0021】一般に、P-N接合のP型もしくはN型領域の何れかの電位を変化させるとP-N接合で形成される空乏層幅が変化し接合電流が流れる。本構成をとることにより、例えばN型不純物領域の電位が正方向に変化するとN-P接合の空乏層幅9が広がるが、空乏層領域が緩やかな濃度変化6領域に達した場合には、ここで濃度変化が緩やかになることにより、接合リーク電流の増加量も低減できる。この為接合部からのリーク電流の絶対値自体も低減でき、例えば、回路を形成した場合の消費電力も低減できる。

【0022】又、接合部近傍の濃度変化は急峻であるため、不純物領域を広げることなく素子の微細化を図ることも可能である。

【0023】以上の様に、本実施例によれば、素子の微細化を図りつつも基板と不純物領域の接合部で生じるリーク電流及びその変化量の増加を抑制することができ

る。

【0024】以下請求項2、3及び4記載の半導体装置

の製造方法の1実施例としてP型基板に、N型不純物領域を形成した際に、微細化を図りつつも、基板と不純物領域間で形成されるP-N接合のリーク電流及びその変化量を低減できる製造方法について図面を参照しながら説明する。

【0025】図2は本発明の実施例の工程断面図である。又図3は、同実施例における動作説明のための不純物濃度分布図である。

【0026】図2(a)ではP型シリコン基板21にイオン注入マスク22を用いて、例えばP、30KeV、5E15atoms/cm²といった条件でN型不純物のイオン注入23を行ない、N型不純物領域24を形成する。

【0027】図2(b)では、注入マスク25を用いてフッ素のイオン注入26を例えば35KeV、2E15atoms/cm²といった条件で行ない、N型不純物領域24の底部に、(F)フッ素領域27を形成する。その後基板21に熱処理を行ないN型不純物の活性化を行なう。

【0028】図3では、上記の熱処理を行なった際のN型不純物及びFの濃度分布を示している。縦軸は不純物濃度、横軸は距離を表す。図3(a)ではP型基板にN型不純物をイオン注入により導入した直後の濃度分布29に対してFの濃度分布のピーク位置30がN型不純物の濃度分布のピーク位置32を越える様なイオン注入直後のFの濃度分布31を設定する。この分布状態で熱処理を施す。

【0029】図3(b)では、熱処理後、N型不純物の濃度分布33は、従来のフッ素注入を行なわない場合の熱処理後の分布34に比べて、フッ素(F)の拡散抑制効果の影響によりN型不純物領域の内部では緩やかな変化をもつが、ピークより離れた位置で急峻に変化する。

【0030】この時、不純物領域の熱処理中での拡散が抑制されるので素子の微細化が図れる。加えてN型不純物の分布状態が領域内部では緩やかに変化するが、基板とのP-N接合付近では急峻に変化するので例えば、不純物領域の電位が変化して接合部の空乏層幅が広がった場合でも緩やかなN型の不純物分布状態の為、接合部のリーク電流が増加することなく又その変化量も緩やかであるため基板電位自体も大きく変化することがない。その為、安定した良好な半導体素子が形成できる。

【0031】なお、図2(b)に示す工程の代わりに図2(c)に示すように、N型の不純物のイオン注入用マスク22を使用してフッ素注入を行なっても良く、工程の簡略化が図れる。この時、フッ素注入を大傾角θでおこなうことによりN型不純物領域24に対して底部のみならず任意の位置にフッ素の領域28を形成できる。

【0032】以上の様に、本実施例によれば、素子の微細化を図りつつも基板と不純物領域の接合部で生じるリーク電流及びその変化量の増加を抑制することができ

【0033】以下請求項5記載の半導体装置の1実施例

としてP型基板に形成したMOS型トランジスタについて、微細化を図りつつも、基板と不純物領域間で形成されるP-N接合のリーク電流及びその変化量を低減できる装置について図面を参照しながら説明する。図4は本発明をMOS型トランジスタに適用した場合の半導体装置の断面図である。

【0034】図4(a)では、ゲート電極41、素子分離49、ソース/ドレイン用N型不純物領域45からなるMOS型トランジスタにおいて、ソース/ドレイン用N型不純物領域45の濃度分布状態を、領域内部では緩やかな濃度変化領域42とし、領域底部と基板との接合近傍では急峻な濃度変化領域43とする。

【0035】本構成をとることにより、ソース/ドレイン用N型不純物領域45の電位が例えば正方向に変化するとN-P接合44の空乏層幅が広がるが、空乏層領域が緩やかな濃度変化43領域に達した場合には、ここで濃度変化が緩やかになることにより、接合リーク電流の増加量も低減できる。その変化量が緩やかであるため基板電位が大きく変化することがない。又、接合部からのリーク電流の絶対値自体も低減でき、例えば、回路を形成した場合の消費電力も低減できる。さらに接合部近傍の濃度変化は急峻であるため、例えば素子の微細化を図ることも可能である。

【0036】図4(b)では、MOS型トランジスタのソース/ドレイン用N型不純物領域45についてゲート電極直下側および素子分離直下側の不純物分布を急峻な濃度変化領域2(43b)、及び急峻な濃度変化領域1(43a)とすることにより、トランジスタの基本特性である単チャネル効果を抑制または分離特性を向上させ、微細化を図るとともに接合リーク電流及びその変化量の増加を低減できる。

【0037】以上の様に、本実施例によれば、素子の微細化を図りつつも基板と不純物領域の接合部で生じるリーク電流及びその変化量の増加を抑制することができ

【0038】以下請求項6、7及び8記載の半導体装置の製造方法1実施例としてP型基板にMOS型トランジスタを形成する場合について、微細化を図りつつも、基板と不純物領域間で形成されるP-N接合のリーク電流及びその変化量を低減できる製造方法について図面を参照しながら説明する。図5は本発明をMOS型トランジスタの製造方法に適用した場合の工程断面図である。

【0039】図5(a)では、P型基板21にゲート電極41、素子分離49からなるMOS型トランジスタを形成するにあたり、注入マスク22を用いてイオン注入によりソース/ドレイン用N型不純物51を導入し、ソース/ドレイン用N型不純物領域45を形成する。

【0040】図5(b)では、注入マスク25を用いてイオン注入によりフッ素(F)を導入し、ソース/ドレイン用N型不純物領域45の底部にフッ素(F)領域53を形

成する。その後基板21に熱処理を加える。

【0041】図5(c)では、上記工程を行なうことによりソース/ドレイン用N型不純物領域45の濃度分布状態を、領域内部では緩やかな濃度変化領域54とし、領域底部と基板との接合近傍では急激な濃度変化領域56とする。

【0042】本構成をとることにより、ソース/ドレイン用N型不純物領域45の電位が例えば正方向に変化するとN-P接合56の空乏層幅が広がるが、空乏層領域が緩やかな濃度変化54領域に達した場合には、ここで濃度変化が緩やかになることにより、接合リーク電流の増加量も低減できる。その変化量が緩やかであるため基板電位が大きく変化することがない。又、接合部からのリーク電流の絶対値自体も低減でき、例えば、回路を形成した場合の消費電力も低減できる。さらに接合部近傍の濃度変化は急峻であるため、例えば素子の微細化を図ることも可能である。

【0043】なお、図5(c)に示す工程の代わりに図5(d)に示すように、N型の不純物のイオン注入用マスク22を使用してフッ素注入を行なっても良く、工程の簡略化が図れる。この時、フッ素注入を大傾角 θ でおこなうことによりN型不純物領域45に対して底部のみならず例えばゲート電極直下側や素子分離直下側の領域といった任意の位置にフッ素の領域58を形成できる。これにより工程を増やすことなくトランジスタの基本特性である単チャネル効果を抑制または分離特性を向上させ、微細化を図るとともに接合リーク電流及びその変化量の増加を低減できる。

【0044】以上の様に、本実施例によれば、素子の微細化を図りつつも基板と不純物領域の接合部で生じるリーク電流及びその変化量の増加を抑制することができる。

【0045】以下請求項9記載の半導体装置の1実施例として、P型基板に形成したMOS型トランジスタについて、微細化を図りつつも、基板と不純物領域間で形成されるP-N接合のリーク電流及びその変化量を低減できる装置について図面を参照しながら説明する。図6は本発明をLDD構造を有するMOS型トランジスタに適用した場合の、半導体装置の断面図である。

【0046】図6では、ゲート電極41、素子分離49、LDD領域81、ソース/ドレイン用N型不純物領域82からなるMOS型トランジスタにおいて、LDD領域81の濃度分布状態を、領域内部では緩やかな濃度変化領域83とし、領域と基板との接合近傍では急激な濃度変化領域84とする。

【0047】本構成をとることにより、LDD領域81の電位が例えば正方向に変化するとN-P接合の空乏層幅が広がるが、空乏層領域が緩やかな濃度変化83領域に達した場合には、ここで濃度変化が緩やかになることにより、接合リーク電流の増加量も低減できる。その変化量

が緩やかであるため基板電位が大きく変化することがない。又、接合部からのリーク電流の絶対値自体も低減でき、例えば、回路を形成した場合の消費電力も低減できる。さらに接合部近傍の濃度変化は急峻であるため、例えば素子の微細化を図ることも可能である。

【0048】以上の様に、本実施例によれば、素子の微細化を図りつつも基板と不純物領域の接合部で生じるリーク電流及びその変化量の増加を抑制することができる。

【0049】以下請求項10、11及び12記載の半導体装置の製造方法の1実施例として、P型基板にMOS型トランジスタを形成する場合について、微細化を図りつつも、基板と不純物領域間で形成されるP-N接合のリーク電流及びその変化量を低減できる製造方法について図面を参照しながら説明する。図7は本発明をLDD構造を有するMOS型トランジスタの製造方法に適用した場合の、工程断面図である。

【0050】図7(a)では、P型基板21にゲート電極41、素子分離49からなるMOS型トランジスタを形成するにあたり、注入マスク63を用いてイオン注入によりLDD用N型不純物61を導入し、LDD用N型不純物領域62を形成する。

【0051】図7(b)では、注入マスク25を用いてイオン注入によりフッ素(F)を導入し、LDD用N型不純物領域62の底部にフッ素(F)領域53を形成する。その後基板21に熱処理を加える。

【0052】図7(c)では、ゲート電極41に対してサイドウォール64を形成し、その後ゲート電極と注入マスク22をマスクとしてイオン注入によりソース/ドレイン用の濃いN型不純物の導入68を行ない、LDD用N型不純物領域62内の一部もしくは全部と重なるようにソース/ドレイン領域65を形成する。その後基板21に熱処理を加える。

【0053】本構成をとることにより、LDD用N型不純物領域62の電位が例えば正方向に変化するとN-P接合の空乏層幅が広がるが、空乏層領域が緩やかな濃度変化領域に達した場合には、ここで濃度変化が緩やかになることにより、接合リーク電流の増加量も低減できる。その変化量が緩やかであるため基板電位が大きく変化することがない。又、接合部からのリーク電流の絶対値自体も低減でき、例えば、回路を形成した場合の消費電力も低減できる。さらに接合部近傍の濃度変化は急峻であるため、例えば素子の微細化を図ることも可能である。

【0054】なお図7(c)に示す工程の代わりに図7(d)に示す、LDD用の薄いN型の不純物のイオン注入用マスク22を使用してフッ素注入を行なっても良く、工程の簡略化が図れる。又、この時、フッ素注入66を大傾角 θ でおこなうことによりLDD用N型不純物領域62に対して底部のみならず例えばゲート電極直下側や素子分離直下側の領域といった任意の位置にフッ素の領域67を形成

できる。これにより工程を増やすことなくトランジスタの基本特性である単チャネル効果を抑制または分離特性を向上させ、微細化を図るとともに接合リーク電流及びその変化量の増加を低減できる。

【0055】以上の様に、本実施例によれば、素子の微細化を図りつつも基板と不純物領域の接合部で生じるリーク電流及びその変化量の増加を抑制することができる。

【0056】尚、上記実施例においてN型基板にP型の不純物領域やソース/ドレイン領域、LDD領域を形成した

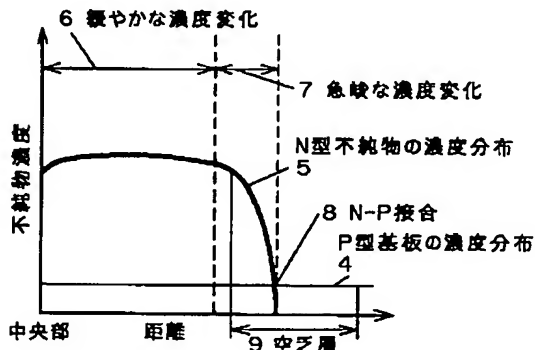
場合においても同様な効果が得られる。

【発明の効果】以上のように本発明は、基板内に形成した不純物領域あるいは、MOS型トランジスタのソース/ドレイン領域及びLDD領域の濃度分布を、領域内部では緩やかに変化し、且つ基板との間で形成されるP-N接合近傍では急峻に変化させることにより、微細化を図ったままで、基板内に形成した不純物領域と基板間のP-N接合について、不純物又は基板の電位を変化させた時に発生する接合リーク電流の急激な変化及び増加を抑制する

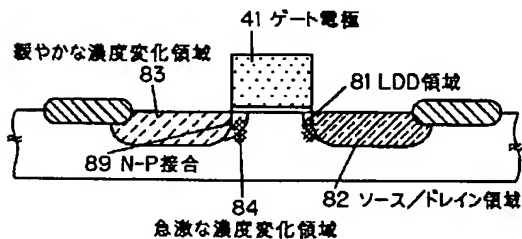
ことができる。

【図面の簡単な説明】

【図1】



【図6】



*【図1】本発明の第1の実施例における動作説明の為の不純物濃度分布図

【図2】本発明の第2の実施例における半導体装置の製造方法の工程断面図

【図3】同実施例における動作説明のための不純物濃度分布図

【図4】本発明の第3の実施例における半導体装置の断面図

【図5】本発明の第4の実施例における半導体装置の製造方法の工程断面図

【図6】本発明の第5の実施例における半導体装置の断面図

【図7】本発明は第6の実施例における半導体装置の製造方法の工程断面図

【図8】本発明の第1の従来例における動作説明の為の不純物分布図

【図9】本発明の第2の従来例における半導体装置の断面図

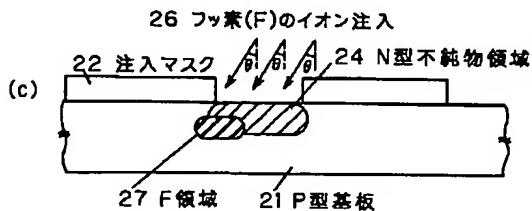
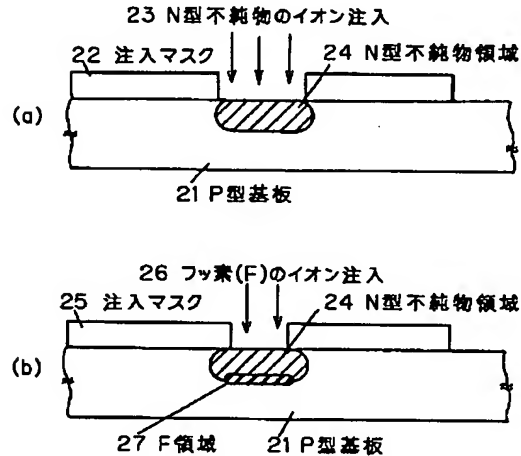
【符号の説明】

6 緩やかな不純物分布

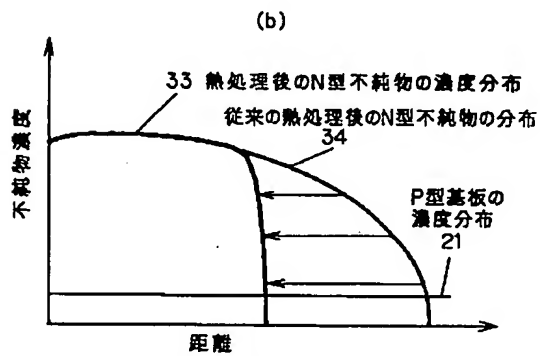
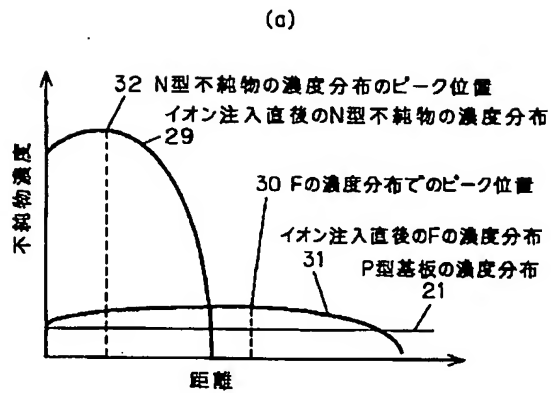
7 急峻な不純物分布

8 P-N接合

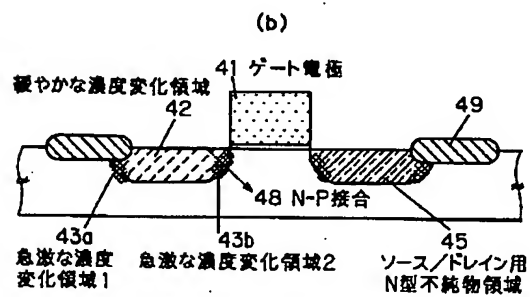
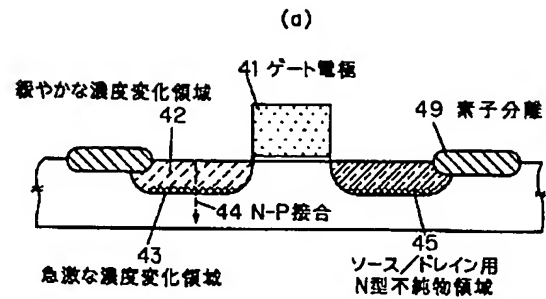
【図2】



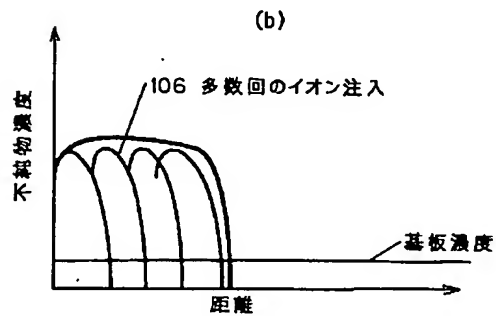
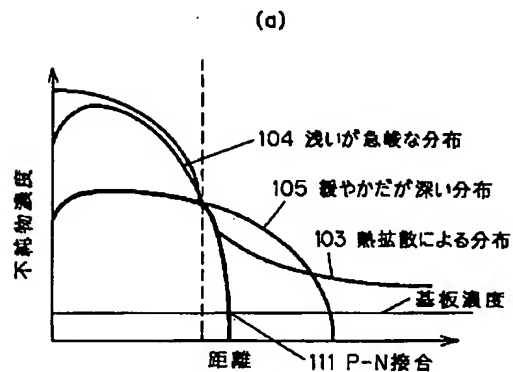
【図3】



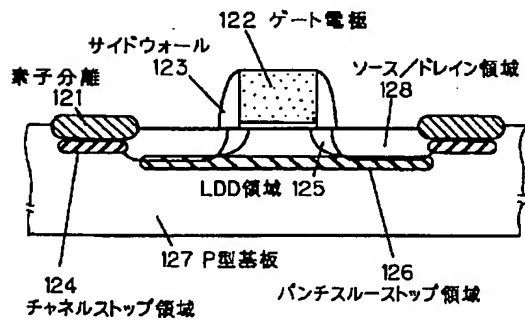
【図4】



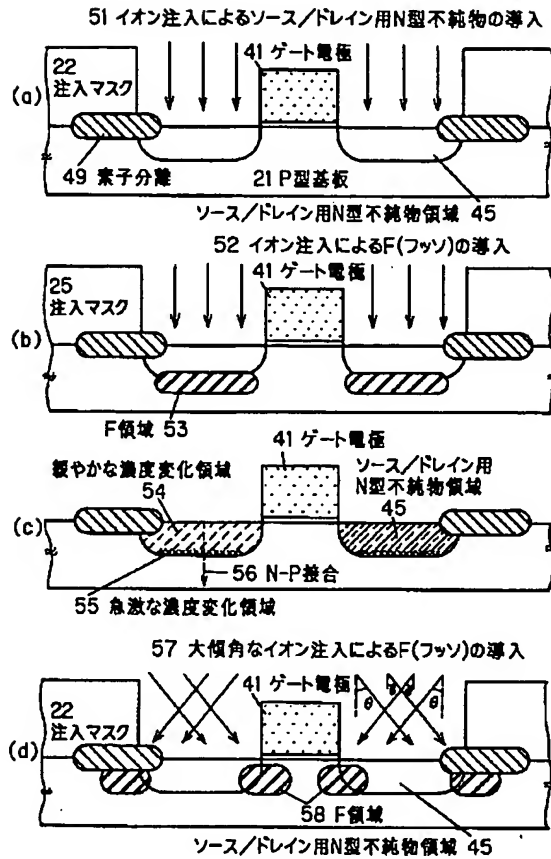
【図8】



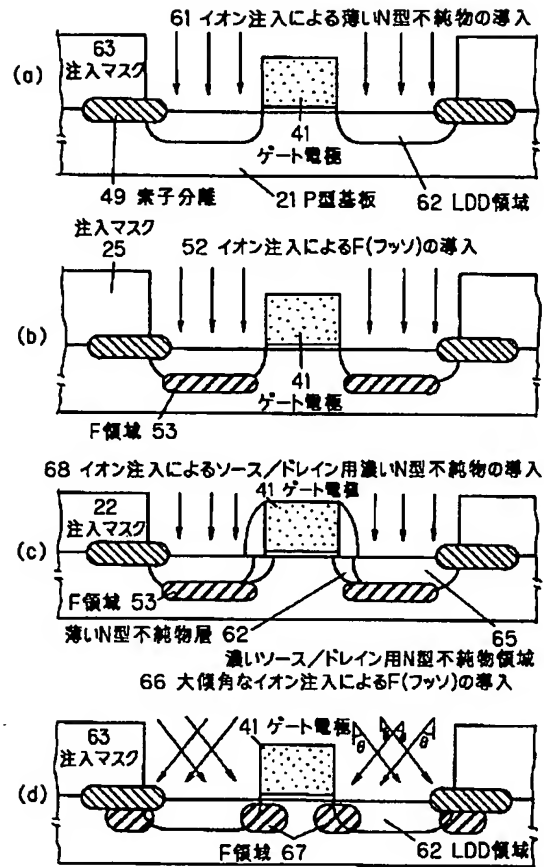
【図9】



【図5】



【図7】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.